

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-190573
(P2002-190573A)

(43) 公開日 平成14年7月5日 (2002.7.5)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L 27/04		G 0 6 F 17/50	6 5 8 E 5 B 0 4 6
21/822			6 5 8 V 5 F 0 3 8
G 0 6 F 17/50	6 5 8	H 0 1 L 27/04	H 5 F 0 6 4
		21/82	W
H 0 1 L 21/82			C
審査請求 未請求 請求項の数10 O L (全 9 頁)			

(21) 出願番号 特願2000-387890 (P2000-387890)

(22) 出願日 平成12年12月20日 (2000.12.20)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 牛山 健一

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 一ノ瀬 茂則

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100070150

弁理士 伊東 忠彦

最終頁に続く

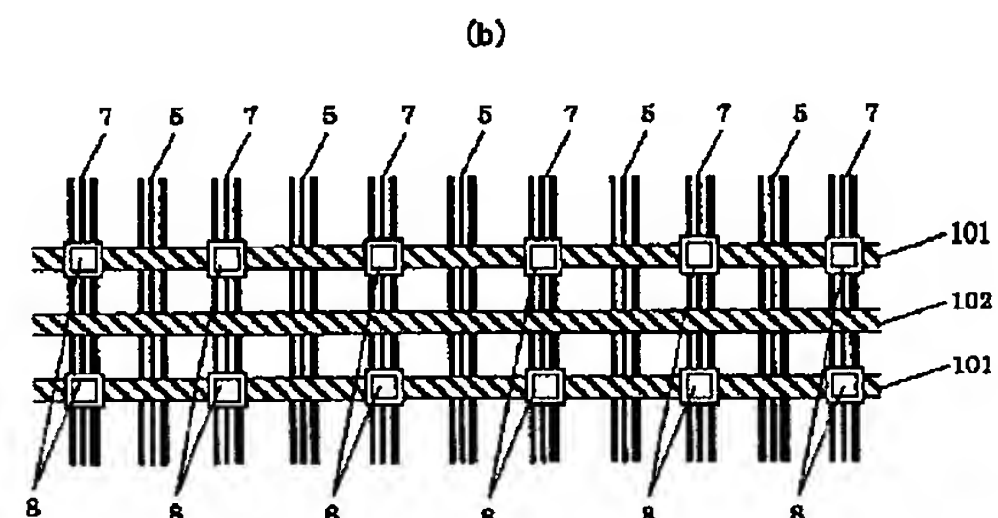
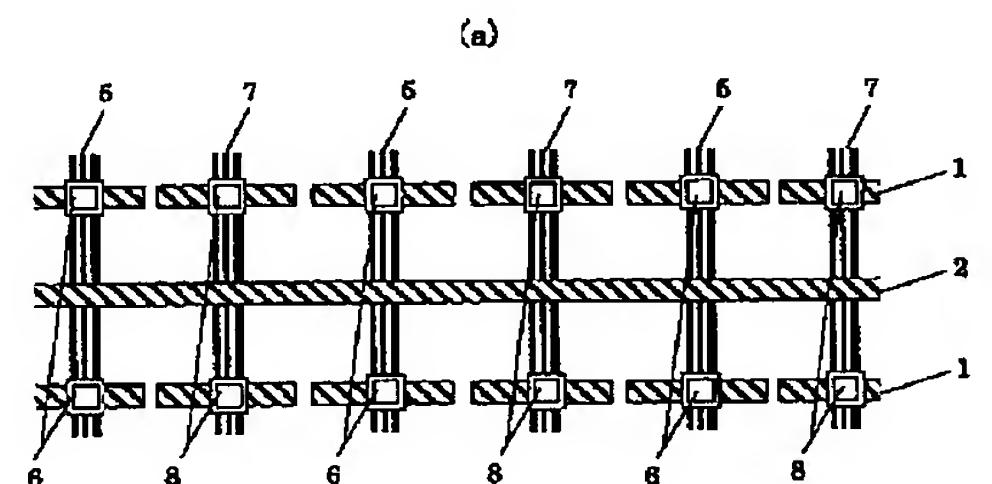
(54) 【発明の名称】 半導体集積回路及び配線決定方法

(57) 【要約】

【課題】本発明は、効率的かつ効果的なシールド配線を施した半導体集積回路を提供することを目的とする。

【解決手段】半導体集積回路は、1つの被シールド配線と、1つの被シールド配線に対して設けられ1つの被シールド配線の延長方向に沿って複数個のセグメントに分割されるシールド配線を含むことを特徴とする。

本発明の第1の実施例によりシールド配線を施した半導体集積回路を説明するための図



【特許請求の範囲】

【請求項 1】 1つの被シールド配線と、
該 1つの被シールド配線に対して設けられ該 1つの被シールド配線の延長方向に沿って複数個のセグメントに分割されるシールド配線を含むことを特徴とする半導体集積回路。

【請求項 2】 該複数個のセグメントの少なくとも 1つは第 1の電源電位に接続され、該複数個のセグメントの残りは該第 1の電源電位とは異なる第 2の電源電位に接続されることを特徴とする請求項 1記載の半導体集積回路。

【請求項 3】 該複数個のセグメントの少なくとも 1つは一点の接続箇所でのみ電源電位に接続されることを特徴とする請求項 1記載の半導体集積回路。

【請求項 4】 該複数個のセグメントの各々は、該シールド配線の該セグメントを流れる電流が無視できるように電源電位に接続されることを特徴とする請求項 1記載の半導体集積回路。

【請求項 5】 1つの被シールド配線と、
該 1つの被シールド配線に対して設けられ該 1つの被シールド配線より配線幅の広いシールド配線を含むことを特徴とする半導体集積回路。

【請求項 6】 1つの被シールド配線と、
該 1つの被シールド配線に対して設けられ該 1つの被シールド配線の一方の側に複数本設けられるシールド配線を含むことを特徴とする半導体集積回路。

【請求項 7】 1つの被シールド配線と、
該 1つの被シールド配線の全長のうちで一部分にのみ設けられたシールド配線を含むことを特徴とする半導体集積回路。

【請求項 8】 該 1つの被シールド配線に信号を送出するドライバを更に含み、該シールド配線は、該 1つの被シールド配線の全長のうちで該ドライバが配置される側の一部分にのみ設けられることを特徴とする請求項 7記載の半導体集積回路。

【請求項 9】 被シールド配線の全長に対して部分的にシールドした場合のシールド効果をライブラリとして提供し、

1つの被シールド配線の配線長を決定し、
所望のシールド効果を決定し、
該 1つの被シールド配線の全長及び該所望のシールド効果に基づいて該ライブラリを参照してシールド配線の長さを決定する各段階を含むことを特徴とする半導体集積回路の配線決定方法。

【請求項 10】 該ライブラリとして提供する段階は、被シールド配線の全長に対して部分的にシールドした場合の信号遅延時間に関する情報をライブラリとして提供することを特徴とする請求項 9記載の配線決定方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、一般に半導体集積回路に関し、詳しくはシールド配線によりクロストークノイズを軽減した半導体集積回路に関する。

【0002】

【従来の技術】 電気回路においては、信号配線間の誘導及び容量結合によりクロストークノイズが発生する。配線間の誘導及び容量結合が大きいほど、クロストークノイズの度合いも大きくなる。大規模集積回路（LSI）等の半導体装置においては、回路集積度の増大と共に配線間の誘導及び容量結合も大きくなり、ノイズが顕在化することになる。このような誘導・容量結合によるクロストークノイズを低減するために、シールド配線が用いられる。

【0003】

【発明が解決しようとする課題】 LSIのシールド配線においては、単位長の配線抵抗が大きいことに起因する幾つかの問題がある。

【0004】 第 1に、配線抵抗が大きいと、シールド配線内の電荷の充放電が遅くなるために、シールドの効果

【0005】 第 2に、一本のシールド配線を多くの地点で接地電位或いは電源電位にクリップすると、シールド線に過大な電流が流れて E-MIG（Electro Migration）の問題を起す場合がある。この E-MIGは、LSI内部に発生する電源電圧勾配を無視した場合に発生する。例えば、LSIの電源端子の近くと LSIの中央付近では電源電圧に差が生じている。このように電源電圧に差が存在する部位の間にシールド配線をひいて、両端を電源電圧にクリップすると、シールド配線に過大な電流が流れることになる。これを回避するためには、電源網解析を行って、電流密度に関して違反が存在する箇所を検出して修正することで、逐一对応することが考えられる。しかしこれは収束する保証が無いために、開発時間が重視される状況では、このような解析・修正を行うための作業工程にかかる時間が問題となってしまう。

【0006】 第 3に、従来のシールド配線では、被シールド配線の全長に対してシールドを施していた。このためにシールド配線のために配線領域が大きく消費されて、効率的なレイアウトを実現することが困難になるという問題がある。この対処方法としては、配線層数を増やす或いはチップサイズを大きくする等の方法が考えられるが、限られた配線層数及びチップサイズの条件で効率的なシールド配線を行うことが好ましい。

【0007】 以上を鑑みて、本発明は、効率的かつ効果的なシールド配線を施す方法及び効率的かつ効果的なシールド配線を施した半導体集積回路を提供することを目的とする。

【0008】

【課題を解決するための手段】 請求項 1の発明では、半導体集積回路は、1つの被シールド配線と、該 1つの被

シールド配線に対して設けられ該1つの被シールド配線の延長方向に沿って複数個のセグメントに分割されるシールド配線を含むことを特徴とする。

【0009】上記発明では、シールド配線を複数のセグメントに分割することで、配線抵抗の影響を小さくしてシールド配線内の電荷の充放電を早くすることが可能になり、シールドの効果を大きくすることが出来る。また複数のセグメントに分割することで、半導体集積回路上の離れた位置の間で電源電圧或いは接地電圧を接続するのを避けることが可能となり、E-MIGの問題を無くすことが出来る。

【0010】請求項2の発明では、請求項1記載の半導体集積回路において、該複数個のセグメントの少なくとも1つは第1の電源電位に接続され、該複数個のセグメントの残りは該第1の電源電位とは異なる第2の電源電位に接続されることを特徴とする。

【0011】上記発明では、単一の被シールド配線に対するシールド配線を、電源電位配線及び接地電位配線の両方に接続する。これによって従来のシールド配線の場合のように、シールド配線を電源電位及び接地電位のどちらか一方にだけ接続する構成と比較して、本発明においてはより多くの地点でクリップすることが可能になる。このように多くの位置にクリップを設けることで、配線抵抗の影響を小さくして、シールドの効果を高めることが出来る。

【0012】請求項3の発明では、請求項1記載の半導体集積回路において、該複数個のセグメントの少なくとも1つは一点の接続箇所でのみ電源電位に接続されることを特徴とする。

【0013】上記発明では、単一の被シールド配線に対するシールド配線を、複数のシールドセグメントに分割して、単一のクリップ位置において電位を固定するようにする。このようにシールドセグメントに単一クリップ位置から電位を供給することで、E-MIGの問題を無くすことが可能になる。

【0014】請求項4の発明では、請求項1記載の半導体集積回路において、該複数個のセグメントの各々は、該シールド配線の該セグメントを流れる電流が無視できるように電源電位に接続されることを特徴とする。

【0015】上記発明では、単一の被シールド配線に対するシールド配線を、複数のシールドセグメントに分割することで、E-MIGの問題を無くすことが可能になる。

【0016】請求項5の発明では、半導体集積回路は、1つの被シールド配線と、該1つの被シールド配線に対して設けられ該1つの被シールド配線より配線幅の広いシールド配線を含むことを特徴とする。

【0017】上記発明では、シールド配線を太くすることで、配線抵抗を小さくして、シールドの効果を高めることが出来る。即ち、配線抵抗を小さくすることで、シ

ールド配線内の電荷の充放電が早くなり、シールドの効果が大きくなる。

【0018】請求項6の発明では、半導体集積回路は、1つの被シールド配線と、該1つの被シールド配線に対して設けられ該1つの被シールド配線の一方の側に複数本設けられるシールド配線を含むことを特徴とする。

【0019】上記発明では、シールド配線を複数本設けることで、シールドの効果を高めることが出来る。

【0020】請求項7の発明では、半導体集積回路は、1つの被シールド配線と、該1つの被シールド配線の全長のうちで一部分にのみ設けられたシールド配線を含むことを特徴とする。

【0021】上記発明では、被シールド配線の全体ではなくその一部にだけシールド配線を設けることで、従来よりも配線領域を効率的に使用したシールド配線が可能となる。

【0022】請求項8の発明では、請求項7記載の半導体集積回路において、該1つの被シールド配線に信号を送出するドライバを更に含み、該シールド配線は、該1つの被シールド配線の全長のうちで該ドライバが配置される側の一部分にのみ設けられることを特徴とする。

【0023】上記発明では、シールド配線は、被シールド配線の全長のうちでドライバが配置される側の一部分にのみ設けられる。被シールド配線を伝播する信号波形は、ドライバ側に近い地点の方が、急峻な立ち上がりを持っている。従って、ノイズ原因側の被シールド配線からノイズ受信側の被シールド配線へのクロストークの影響は、ドライバに近い側において強く、ドライバから離れてレシーバに近づくほど弱くなる。このために、シールド配線の全長のうちで、ドライバ側の一部をシールドすれば、クロストークの影響を十分に削減することが可能になる。

【0024】請求項9の発明では、半導体集積回路の配線決定方法は、被シールド配線の全長に対して部分的にシールドした場合のシールド効果をライブラリとして提供し、1つの被シールド配線の配線長を決定し、所望のシールド効果を決定し、該1つの被シールド配線の全長及び該所望のシールド効果に基づいて該ライブラリを参照してシールド配線の長さを決定する各段階を含むことを特徴とする。

【0025】上記発明では、被シールド配線の全体ではなくその一部にだけシールド配線を設けることで、従来よりも配線領域を効率的に使用したシールド配線が可能となる。また所望のシールド効果に応じてシールド配線の長さを調整することが出来るので、配線領域の使用を最適化することが可能であり、レイアウト効率を大幅に向上することが出来る。

【0026】請求項10の発明では、請求項9記載の配線決定方法において、該ライブラリとして提供する段階は、被シールド配線の全長に対して部分的にシールドし

10

20

30

40

50

た場合の信号遅延時間に関する情報をライブラリとして提供することを特徴とする。

【0027】上記発明では、所望の信号遅延時間に応じてシールド配線の長さを調整することが出来るので、配線領域の使用を最適化することが可能であり、レイアウト効率を大幅に向上することが出来る。

【0028】

【発明の実施の形態】以下に、本発明の実施例を添付の図面を用いて説明する。

【0029】図1は、本発明の第1の実施例によりシールド配線を施した半導体集積回路を説明するための図である。図1(a)は、本発明によりシールド配線を施した半導体集積回路のシールド配線部分を示し、図1

(b)は、比較の為に従来の一般的なシールド配線の様子を示した図である。

【0030】図1(a)に示されるように、本発明においては、被シールド配線2に対してシールド配線1を施し、このシールド配線1を複数のシールドセグメントに分断する。更に、各シールドセグメントを電源電位配線5或いは接地電位配線7に接続する。ここで配線間の接続は、コンタクト6或いは8によって行われる。

【0031】このように本発明においては、単一の被シールド配線2に対するシールド配線1を、電源電位配線5及び接地電位配線7の両方に接続する。図1(b)に示される従来のシールド配線の場合のように、被シールド配線102に対してシールド配線101を例えば接地電位配線7にだけ接続して電源電位配線5には接続しない構成と比較して、本発明においてはより多くの地点でクリップすることが可能になる。このように多くの位置にクリップを設けることで、配線抵抗の影響を小さくして、シールドの効果を高めることが出来る。即ち、配線抵抗を小さくすることで、シールド配線内の電荷の充放電が早くなり、シールドの効果が大きくなる。

【0032】また本発明においては、単一の被シールド配線2に対するシールド配線1を、複数のシールドセグメントに分割して、各シールドセグメントに対しては単一のクリップ位置において電位を固定するようにする。このように個々のシールドセグメントには単一クリップ位置から電位を供給することで、E-MIGの問題を無くすることが可能になる。

【0033】図2は、本発明によるシールド配線の変形例を示す。図2においては、被シールド配線2に対して、シールド配線1を太くするように構成される。このようにシールド配線1を太くすることで、配線抵抗を小さくして、シールドの効果を高めることが出来る。即ち、配線抵抗を小さくすることで、シールド配線内の電荷の充放電が早くなり、シールドの効果が大きくなる。

【0034】図3は、本発明によるシールド配線の更なる変形例を示す。図3においては、一本の被シールド配線2の各側(或いは一方の側)に対して、シールド配線

1を複数本設けるように構成される。このようにシールド配線1を複数本設けることで、シールドの効果を高めることが出来る。

【0035】図4は、本発明によるシールド配線の更なる変形例を示す。図4においては、被シールド配線2に対してシールド配線1を施し、このシールド配線1を複数のシールドセグメントに分断する。更に、各シールドセグメントを例えば接地電位配線7に接続する。ここで配線間の接続は、コンタクト8によって行われる。

【0036】このように図4の構成においては、単一の被シールド配線2に対するシールド配線1を、複数のシールドセグメントに分割して、各シールドセグメントに対しては単一のクリップ位置において電位を固定するようにする。このように個々のシールドセグメントには単一クリップ位置から電位を供給することで、E-MIGの問題を無くすることが可能になる。図4の例では、各シールドセグメントを接地電位配線7に接続するとしたが、電源電位配線5に接続するようにしても良い。このように図1の構成のように電源電位配線5及び接地電位配線7の両方に接続するのではなく、図4の構成のように電源電位配線5及び接地電位配線7の一方にだけ接続するようにしても、E-MIGの問題を払拭することが可能となる。

【0037】図5は、本発明の第2の実施例によりシールド配線を施した半導体集積回路を説明するための図である。

【0038】図5において、被シールド配線2は、ドライバ3によって駆動される。また被シールド配線2には、シールド配線1が設けられる。図5に示されるように、本発明の第2の実施例では、シールド配線1は、被シールド配線2の全長Lではなく、全長Lのうちのドライバ3側の一部分をシールドするように配置される。

【0039】図6は、被シールド配線の全長のうちでドライバ側の一部分をシールドする場合のシールド効果を説明するための図である。

【0040】図6(a)は、図5の着目する被シールド配線2に対して並走する他の被シールド配線2Aにドライバ3Aから供給する信号を示し、ノイズを生成する側を示す。図6(b)は、図5の被シールド配線2にドライバ3から供給した信号をレシーバ4で受信した場合の電圧波形を示し、被シールド配線2Aからのノイズの影響を受ける側を示す。図6(a)に示されるように、ドライバ3A側からレシーバ4A側に向けて、LOWに立ち下がる信号が着目する被シールド配線2に対して並走する他の被シールド配線2Aに供給される。これに対して、図5の被シールド配線2にドライバ3側からHIGHに立ち上がる信号を送出した場合には、図6(b)に示されるように、レシーバ4側で観測される信号の電圧波形は、被シールド配線2Aの信号電圧変化からのクロストークノイズによって遅延 $\Delta Delay$ が生じてしま

う。

【0041】図6(c)は、図5の被シールド配線2の全長 L を10mmとした場合に、被シールド配線2の全長の一部をシールドするように、ドライバ3側に設けたシールド配線1の長さ L_1 と上記遅延 $\Delta Delay$ との関係の一例を示す図である。被シールド配線を伝播する信号波形は、ドライバ側に近い地点の方が、急峻な立ち上がりを有している。従って、ノイズ原因側の被シールド配線からノイズ受信側の被シールド配線へのクロストークの影響は、ドライバに近い側において強く、ドライバから離れてレシーバに近づくほど弱くなることになる。従って、シールド配線2の全長のうちで、ドライバ3側の一部をシールドすれば、クロストークの影響を十分に削減することが可能になる。

【0042】図6(c)に示される例においては、被シールド配線2の全長10mmのうち70%(7mm)程度をシールドすれば、クロストークによる信号遅延 $\Delta Delay$ は、被シールド配線2の全体をシールドする場合と同等の値になることが分かる。即ち、この例では、70%程度のシールド長によって、100%のシールド長と略同様の遅延削減効果が得られる。また例えば、信号遅延 $\Delta Delay$ を4程度に設定したいのであれば、4mm程度のシールドを設ければよいことが分かる。

【0043】回路設計におけるシールド配線レイアウト段階では、例えば図6(c)に示されるようなシールド長と遅延時間との関係を、カップリング容量及び抵抗等を変数としたテーブル或いは近似数式として用意しておけばよい。このテーブル或いは近似数式で提供されたライブラリを用いて、シールド配線レイアウトを効率的に実行することが可能になる。このようなシールド配線レイアウトの詳細については後述する。

【0044】このように本発明の第2の実施例においては、被シールド配線の全体ではなくその一部にシールド配線を設けることで、従来よりも配線領域を効率的に使用したシールド配線が可能となる。また所望の遅延削減率に応じてシールド配線の長さを調整することが出来るので、配線領域の使用を最適化することが可能であり、レイアウト効率を大幅に向上することが出来る。

【0045】図7は、本発明によるシールド配線方法をCADに適用する場合の処理を示す流れ図である。

【0046】従来のCADにおける一般的な処理フローと比較した場合の主な相違点としては、ステップST5のシールド配線、ステップST6のシールド配線の切断、ステップST9のシールド配線長の決定、及びステップST10のシールド配線の太さ及び本数の決定の部分に、本発明のシールド配線方法が適用されている。

【0047】図7のステップST1で、セル/マクロの配置を決定する。

【0048】ステップST2で、クロック信号配線及び指定ネット(指定された配線網:この場合にはシールド

の必要がある配線)の位置を決定する。

【0049】ステップST3で、上記指定ネットに対してスペーシングを行い、シールド配線に必要な配線領域を確保する。ここでステップST10を実行することで、シールド配線の太さ及び本数を決定する。このステップST10の詳細については後程説明する。

【0050】ステップST4で、その他ネットの配線の位置を決定する。

【0051】ステップST5で、シールド配線の位置を決定する。ここでステップST9を実行することで、シールド配線長を決定する。このステップST9の詳細については後程説明する。

【0052】ステップST6で、シールド配線を切断する。即ち、必要な箇所でシールド配線を複数のシールドセグメントに分割する。これによって、図1及び/或いは図4を参照して説明した効果を得ることが出来る。即ち、多くの位置のクリップを設けることで、配線抵抗の影響を小さくして、シールド配線内の電荷の充放電を早くして、シールドの効果を増大させることが出来る。また複数のシールドセグメントに分割して、各シールドセグメントに対しては単一のクリップ位置において電位を固定するようにすることで、E-MIGの問題を無くすることが可能になる。

【0053】ステップST7で、ツールを用いて回路チェックを行う。チェックの結果に問題がある場合には、ステップST8でエラーを修正する。エラー修正後、ステップST1或いはステップST2に戻って、必要な段階からの再設計を行う。チェック結果に問題が無い場合には、処理を終了する。

【0054】図8は、図7のシールド配線の太さ及び本数の決定段階(ST10)の処理を示す流れ図である。

【0055】まずステップST101で、半導体集積回路の製造に使用されるテクノロジーを判別する。

【0056】ステップST102で、半導体集積回路の各配線層ごとに $\{T - (S + O)\} / 2$ を計算して、最大シールド幅を算出する。ここで、 T は総トラック数であり、 S は被シールドネット数、 O はその他のネット数である。算出される最大シールド幅は、シールド配線に使用可能な最大の配線幅を示す。

【0057】ステップST103で、シールド配線の幅を太幅とするか通常幅とするかを決定する。この際、半導体集積回路の製造に使用されるテクノロジー毎に太幅配線が可能であるか否かを示すテーブルをライブラリとして用意しておき、このライブラリを参照することで、ステップST101で判別したテクノロジーにおいて太幅配線が可能か否かを判別する。可能である場合にはステップST104に進み、それ以外の場合にはステップST105に進む。

【0058】ステップST104で、シールドの配線幅を決定する。これは、ステップST102で算出された

最大シールド幅を参照して決定される。

【0059】ステップST105で、シールドの本数を決定する。これは、ステップST102で算出された最大シールド幅を参照して決定される。

【0060】以上で、シールド配線の太さ及び本数の決定段階（図7のST10）の処理を終了する。

【0061】図9は、図7のシールド配線長の決定段階（ST9）の処理を示す流れ図である。

【0062】ステップST201で、ネット情報から並行配線を検索する。これは、被シールド配線とシールド配線とが並行に配線される部分を検出する処理である。

【0063】ステップST202で、シールド配線長を決定する。この際、並行配線長と必要シールド配線の対応関係を示すテーブルをライブラリとして用意しておき、このライブラリを参照することで、所望のシールド効果を達成するために必要なシールド配線長を決定する。

【0064】図10は、並行配線長と必要シールド配線の対応関係を示すテーブルの一例を示す図である。図10の例では、例えば、並行配線長が10mmの条件で75%の遅延量削減を達成したい場合には、テーブルを参照してシールド配線として6mmの配線長が必要となることが分かる。また例えば、65%の遅延量削減で充分であれば、シールド配線として5mmの配線長が必要でよいことが分かる。並行配線長が10mm以外の場合、即ち9mmの並行配線長、8mmの並行配線長、・・・に対して、所望の遅延削減率に対する必要シールド配線の長さがテーブル形式で提供される。またカップリング容量及び抵抗等を変数として、複数のテーブルをライブラリとして用意しておき、条件に合致するテーブルを用いて所望の遅延削減率に対する必要シールド配線の長さを求めるようにしても良い。

【0065】また並行配線長と必要シールド配線の対応関係は、ライブラリとして近似数式で提供しても良い。

【0066】許容可能な遅延の大きさが分かっている場合、所望の遅延量を確保可能な最小の配線長を選択することで、必要最小限の配線領域を使用した効率的なシールド配線の配置が可能になる。また許容可能な遅延の大きさが分からない場合でも、例えば図10の例では、被シールド配線の長さ10mmの全体をシールドする場合と、そのうちの一部である7mmをシールドする場合とでは、シールドによるクロストークノイズの低減効果には何ら違いが無いことが分かる。このような場合には、7mmのシールド長を選択することで、配線領域を効率的に使用したシールド配線を実現することが出来る。

【0067】以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

【0068】

【発明の効果】本発明では、1つの被シールド配線に対して、被シールド配線の延長方向に沿って複数のセグメントに分割したシールド配線を設ける。これによって、配線抵抗の影響を小さくして、シールド配線内の電荷の充放電を高速にし、シールドの効果を大きくすることが出来る。また複数のセグメントに分割することで、半導体集積回路上の離れた位置の間で電源電圧或いは接地電圧を接続するのを避けることが可能となり、E-MIGの問題を無くすることが出来る。

【0069】また本発明では、単一の被シールド配線に対するシールド配線を、電源電位配線及び接地電位配線の両方に接続する。これによって従来のシールド配線の場合のように、シールド配線を電源電位及び接地電位のどちらか一方にだけ接続する構成と比較して、より多くの地点でクリップすることが可能になる。このように多くの位置にクリップを設けることで、配線抵抗の影響を小さくして、シールドの効果を高めることが出来る。

【0070】また本発明では、単一の被シールド配線に対するシールド配線を、複数のシールドセグメントに分割して、単一のクリップ位置において電位を固定するようにする。このようにシールドセグメントに単一クリップ位置から電位を供給することで、E-MIGの問題を無くすることが可能になる。

【0071】また本発明では、シールド配線を太くすることで、配線抵抗を小さくして、シールドの効果を高めることが出来る。またシールド配線を複数本設けることで、シールドの効果を高めることが出来る。

【0072】また本発明では、被シールド配線の全体ではなくその一部にだけシールド配線を設けることで、従来よりも配線領域を効率的に使用したシールド配線が可能となる。この際、シールド配線の全長のうちで、ドライバ側の一部をシールドすれば、クロストークの影響を十分に削減することが出来る。

【図面の簡単な説明】

【図1】図1は、本発明の第1の実施例によりシールド配線を施した半導体集積回路を説明するための図である。

【図2】本発明によるシールド配線の変形例を示す図である。

【図3】本発明によるシールド配線の更なる変形例を示す図である。

【図4】本発明によるシールド配線の更なる変形例を示す図である。

【図5】本発明の第2の実施例によりシールド配線を施した半導体集積回路を説明するための図である。

【図6】被シールド配線の全長のうちでドライバ側の一部分をシールドする場合のシールド効果を説明するための図である。

【図7】本発明によるシールド配線方法をCADに適用する場合の処理を示す流れ図である。

【図 8】図 7 のシールド配線の太さ及び本数の決定段階の処理を示す流れ図である。

【図 9】図 7 のシールド配線長の決定段階の処理を示す流れ図である。

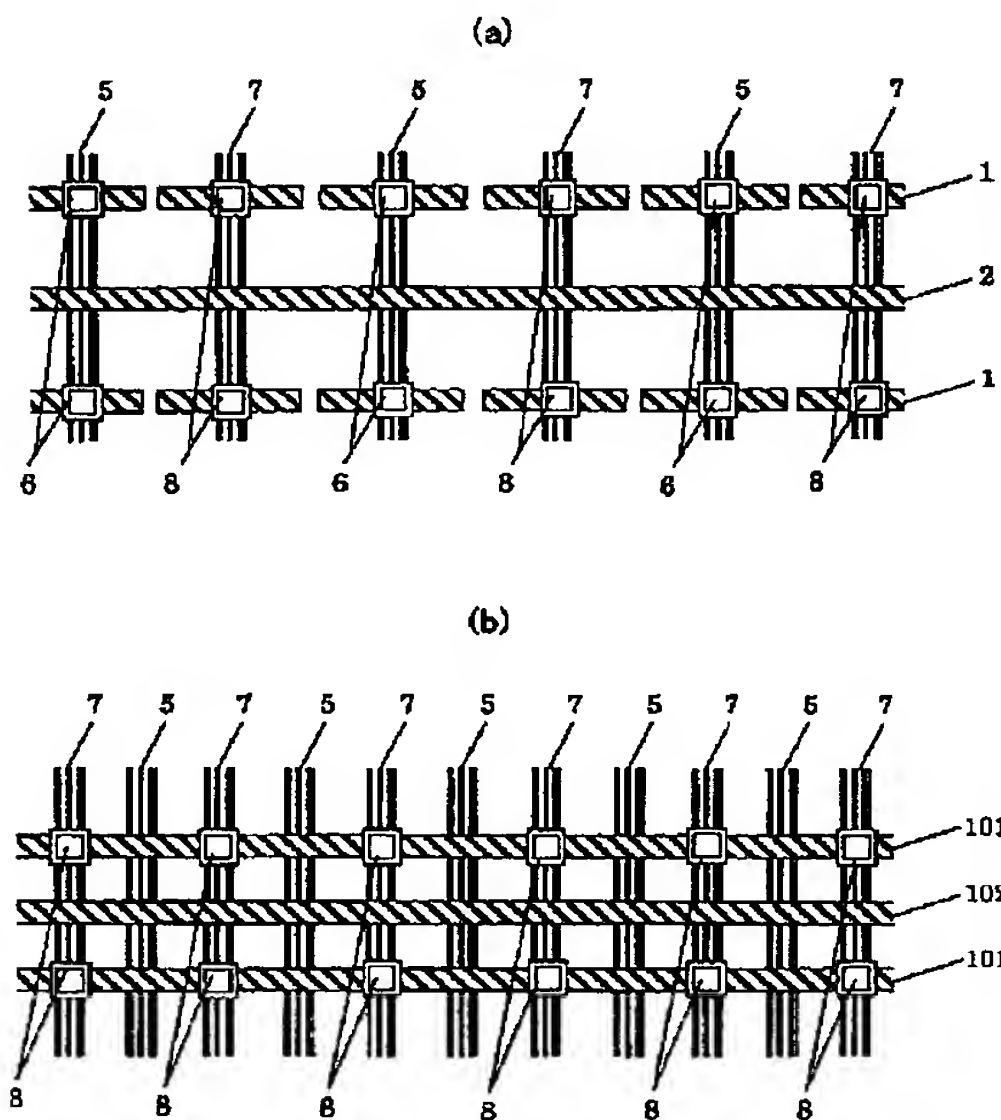
【図 10】並行配線長と必要シールド配線の対応関係を示すテーブルの一例を示す図である。

* 【符号の説明】

- 1 シールド配線
- 2 被シールド配線
- 5 電源電位配線
- 7 接地電位配線
- 6、8 コンタクト

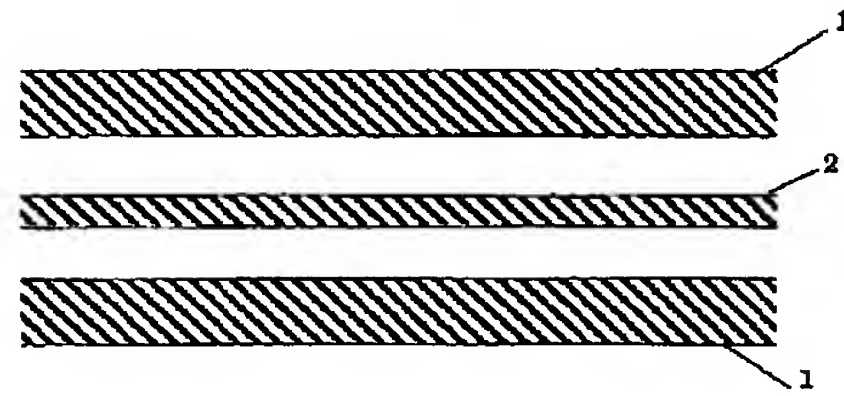
【図 1】

本発明の第 1 の実施例によりシールド配線を施した
半導体集積回路を説明するための図



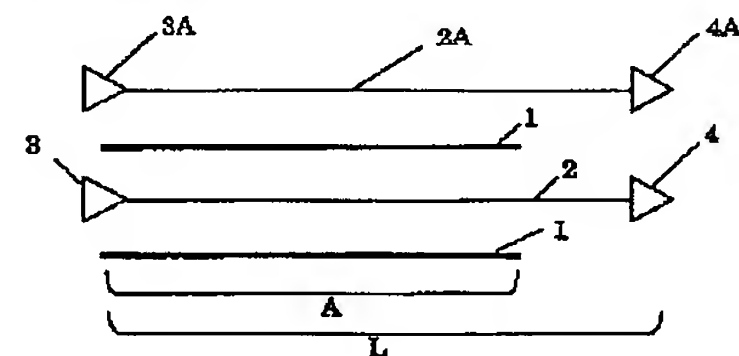
【図 2】

本発明によるシールド配線の変形例を示す図



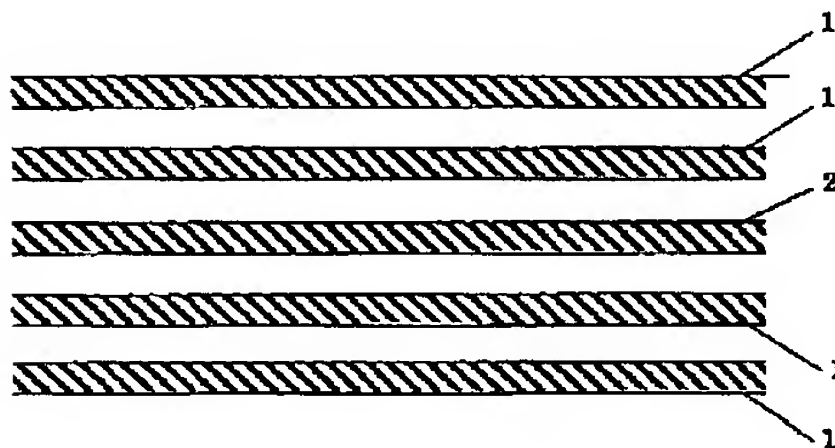
【図 5】

本発明の第 2 の実施例によりシールド配線を施した
半導体集積回路を説明するための図



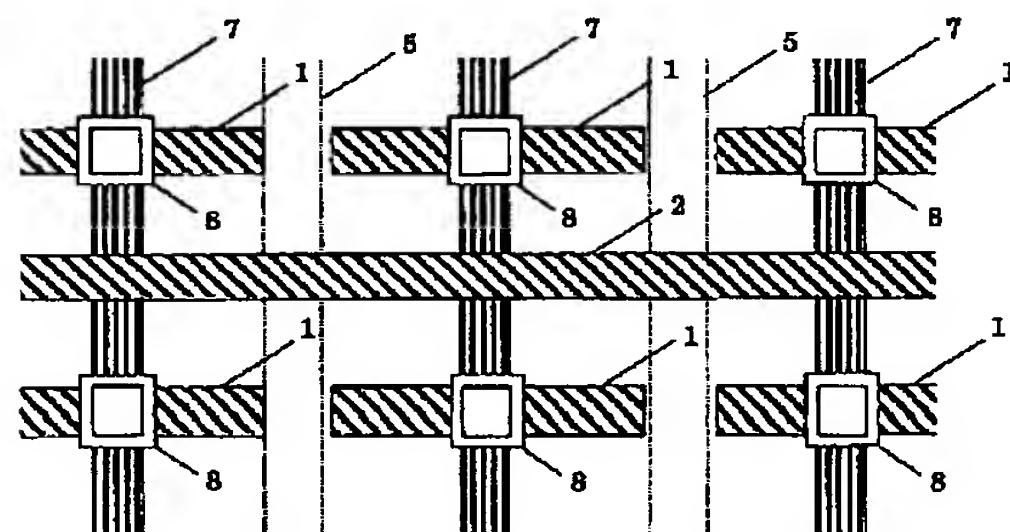
【図 3】

本発明によるシールド配線の更なる変形例を示す図



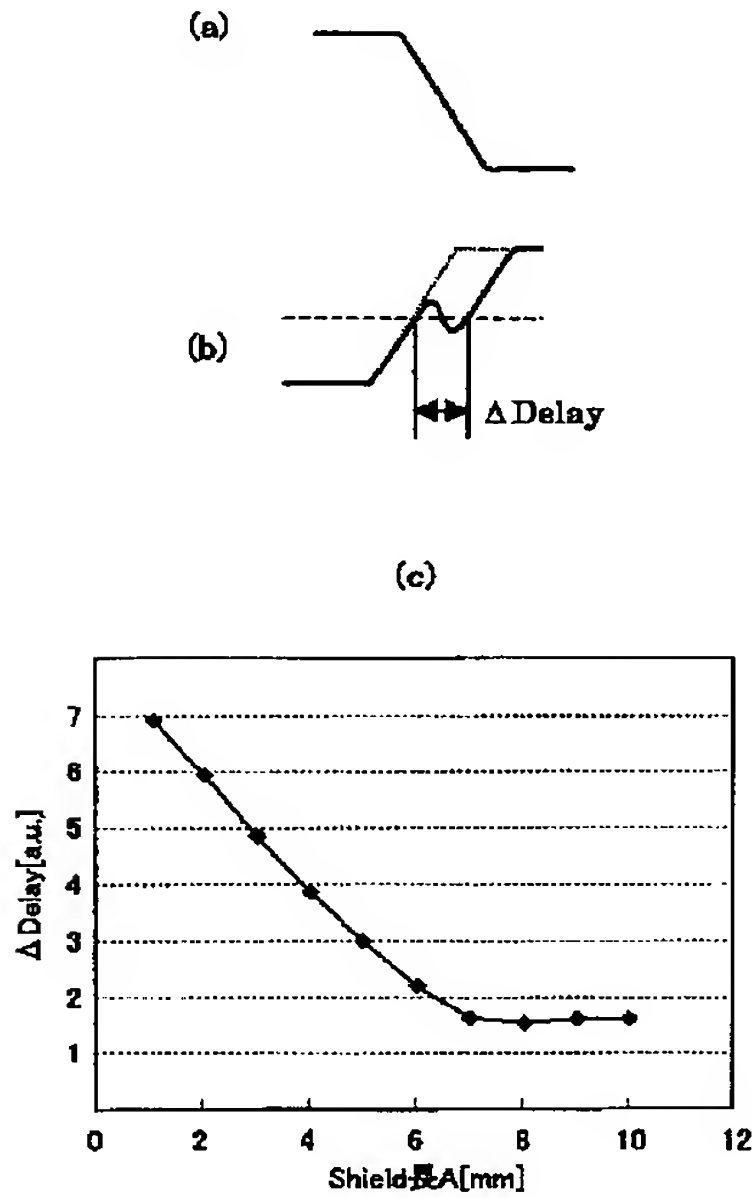
【図 4】

本発明によるシールド配線の更なる変形例を示す図



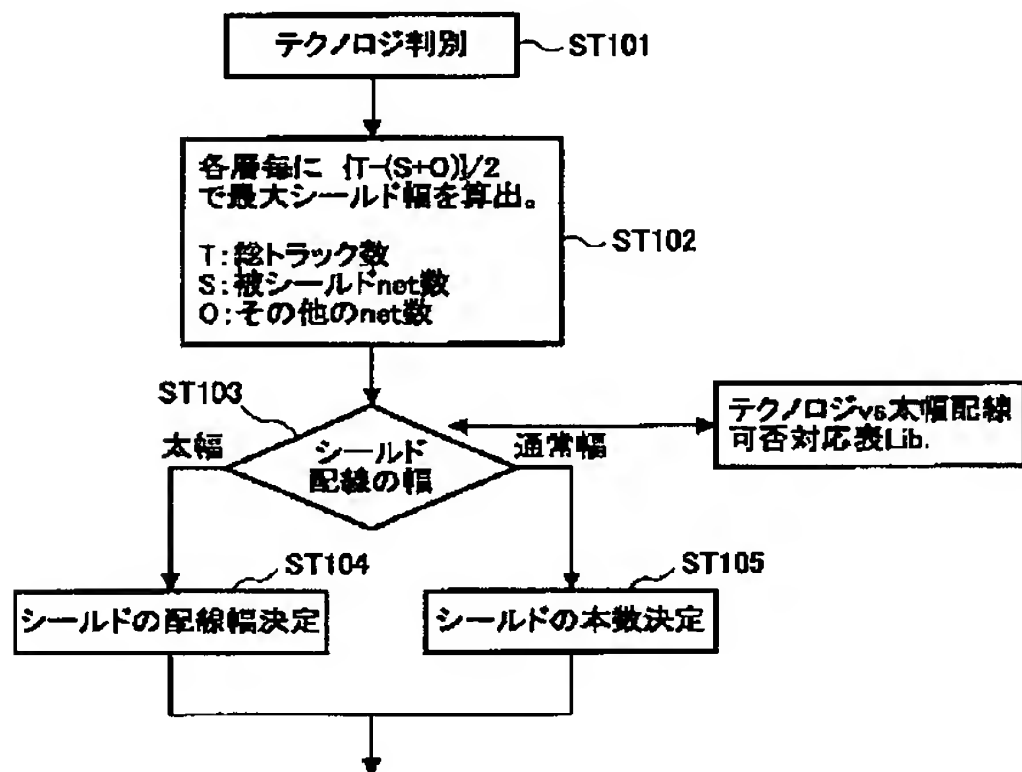
【図6】

被シールド配線の全長のうちでドライバ側の一部分をシールドする場合のシールド効果を説明するための図



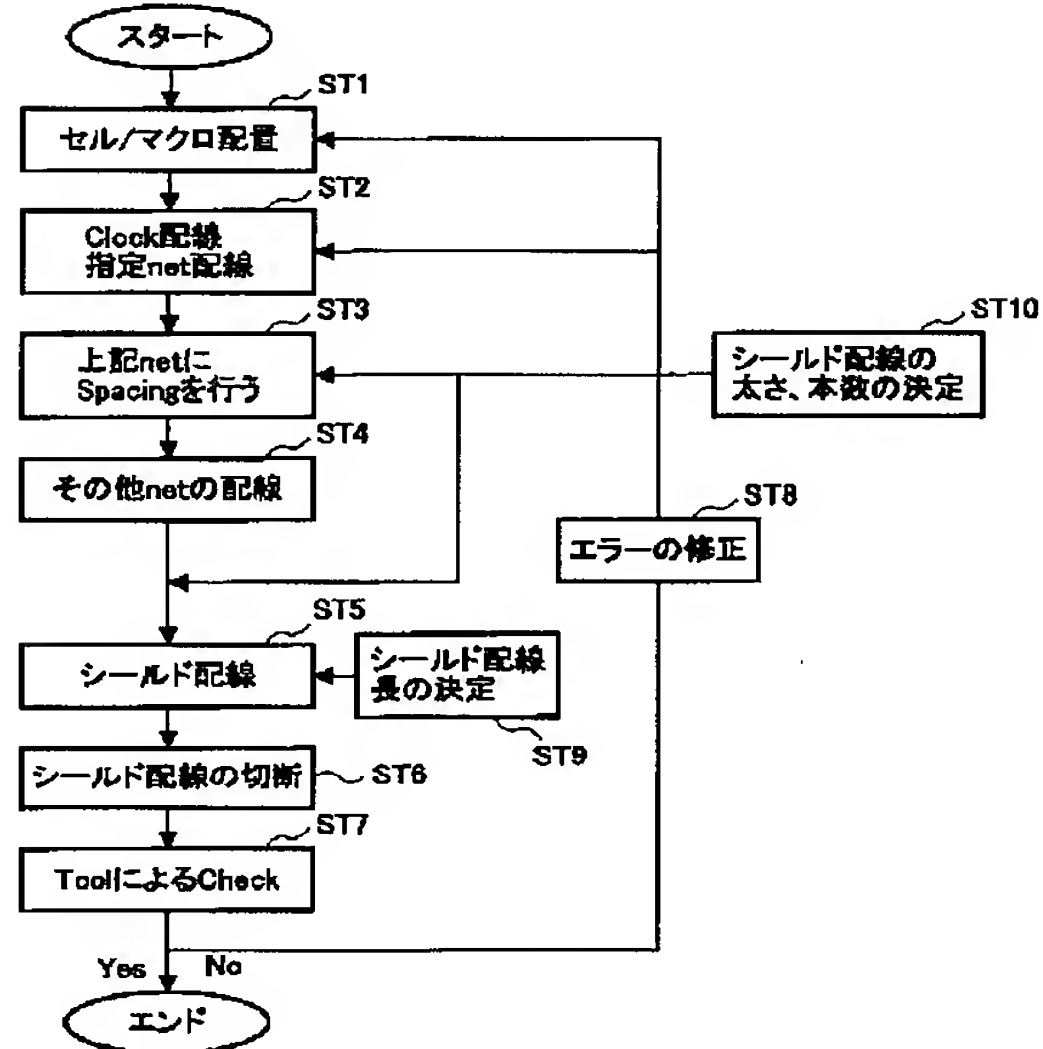
【図8】

図7のシールド配線の太さ及び本数の決定段階の処理を示す流れ図



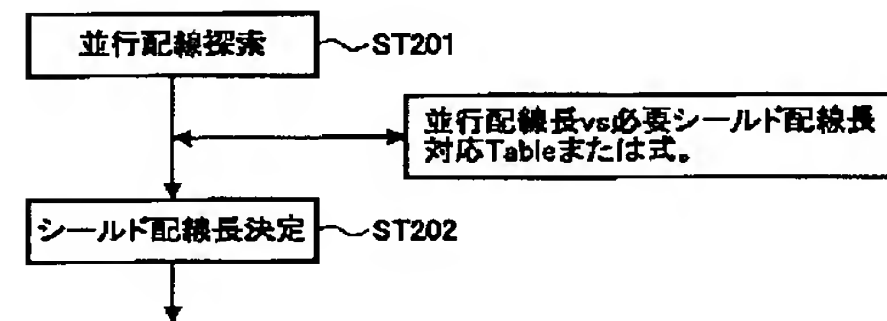
【図7】

本発明によるシールド配線方法をCADに適用する場合の処理を示す流れ図



【図9】

図7のシールド配線長の決定段階の処理を示す流れ図



【図10】

並列配線長と必要シールド配線の対応関係を示すテーブルの一例を示す図

		必要シールド配線						
		10	9	8	7	6	5	4
並行配線長	10	85%	85%	85%	85%	75%	65%	
	9		
	8		
		
		

フロントページの続き

F ターム(参考) 5B046 AA08 BA06 KA06
5F038 BH10 BH19 CA17 CD02 CD06
CD08 CD09 CD12 CD13 EZ09
EZ20
5F064 BB35 EE08 EE09 EE10 EE15
EE16 EE17 EE22 EE26 EE27
EE42 EE43 EE46 EE47 EE52
EE54 HH06 HH10 HH12